

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134729

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 2000-327662

(71)Applicant : INNOTECH CORP

(22)Date of filing : 26.10.2000

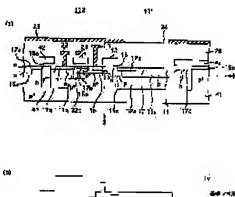
(72)Inventor : KAWAJIRI KAZUHIRO
MITSUIDA TAKASHI

(54) SOLID-STATE IMAGE PICKUP DEVICE AND METHOD FOR DRIVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS-type image sensor that can take an image produced by an optical signal with the whole light-receiving surface, can convert the optical signal into an electrical signal, and can output the electrical signal as an image signal to the outside.

SOLUTION: The MOS-type image sensor includes a light-receiving diode 111, having a light-receiving region that is formed on a substrate 11, and produces light-producing electric charges, when light is applied thereto; an insulating gate type field effect transistor 112 for detecting optical signals which is provided with a region 25 for accumulating the light-producing electric charges, outputs a threshold voltage modulated by the accumulation of the light-producing electric charges as an optical signal, and is formed on the substrate 11; an electric charge carrying path for carrying the light-producing electric charges produced in the light-receiving region to the region 25; an electric charge discharging path for discharging the light-producing electric charges produced in the light-receiving region to the substrate 11; and a means 42 for controlling a potential barrier with respect to the light-producing electric charges of the electric charge discharging path.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	テレポート (参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
H 0 4 N 5/335			U 5 C 0 2 4
		H 0 1 L 27/14	A

審査請求 未請求 請求項の数17 O L (全 19 頁)

(21) 出願番号 特願2000-327662 (P2000-327662)

(22) 出願日 平成12年10月26日 (2000.10.26)

(71) 出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜 3-17-6

(72) 発明者 川尻 和廣

神奈川県横浜市港北区新横浜 3丁目17番 6

号 イノテック株式会社内

(72) 発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜 3丁目17番 6

号 イノテック株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

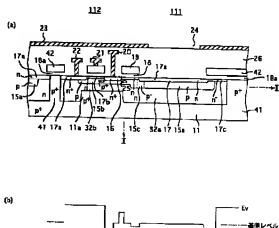
最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【要約】

【課題】 受光面全面で、かつ同時に光信号による映像を取り込んで、その光信号を電気信号に変換して映像信号として外部に取り出すことができるMOS型イメージセンサを提供する。

【解決手段】 基板11上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオード111と、光発生電荷の蓄積領域25を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、基板11上に形成された光信号検出絶縁ゲート型電界効果トランジスタ112と、受光領域で発生した光発生電荷を蓄積領域に転送する電荷転送経路と、受光領域で発生した光発生電荷を基板に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段42とを有する。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオードと、前記光発生電荷の蓄積領域を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、前記基板上に形成された光信号検出用絶縁ゲート型電界効果トランジスタと、前記受光領域で発生した光発生電荷を前記蓄積領域に転送する電荷転送経路と、

前記受光領域で発生した光発生電荷を前記基板に排出する電荷排出経路と、

前記電荷排出経路の前記光発生電荷に対する電位障壁を制御する手段とを有することを特徴とする固体撮像装置。

【請求項2】 前記受光ダイオードは一導電型の前記基板上に形成された反対導電型層内に形成された一導電型の第1のウエル領域と、前記第1のウエル領域の表層に形成された反対導電型領域とを有し、前記光信号検出用絶縁ゲート型電界効果トランジスタは前記反対導電型層内に形成された一導電型の第2のウエル領域と、リング状のゲート電極と、該リング状のゲート電極の内縁に囲まれた前記第2のウエル領域内に形成されたソース領域と、前記リング状のゲート電極の外縁を囲む前記第2のウエル領域内に形成されたドレイン領域と、前記ドレイン領域と前記ソース領域との間のチャネル領域と、前記チャネル領域下の第2のウエル領域内であって、前記ソース領域を囲むように形成された、前記第1及び第2のウエル領域よりも高い不純物濃度を有する高濃度埋込層とを有し、前記受光領域は前記第1のウエル領域を含み、前記光発生電荷の蓄積領域は前記高濃度埋込層であり、前記電荷転送経路は前記第1のウエル領域及び第2のウエル領域を含むことを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記第1のウエル領域に前記反対導電型層を介して隣接する、前記基板と接続した一導電型のオーバーフロードレイン領域と、前記第1のウエル領域の端部領域上から前記オーバーフロードレイン領域上にかけてゲート絶縁膜を介して形成されたオーバーフロードレインゲートとを有し、前記電荷排出経路は前記第1のウエル領域の端部領域から前記反対導電型層を経て前記オーバーフロードレイン領域に至る経路を含み、前記電荷排出経路の光発生電荷に対する電位障壁を制御する手段は前記オーバーフロードレインゲートであることを特徴とする請求項2記載の固体撮像装置。

【請求項4】 前記電荷排出経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記オーバーフロードレイン領域に至る経路の表層に一導電型領域が形成されていることを特徴とする請求項3記載の固体撮像装置。

【請求項5】 前記電荷排出経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前

2

記オーバーフロードレイン領域に至る経路の表層に反対導電型領域が形成されていることを特徴とする請求項3記載の固体撮像装置。

【請求項6】 前記第1のウエル領域と第2のウエル領域の間に前記第1のウエル領域及び第2のウエル領域よりも低濃度の一導電型領域を介在させることにより前記電荷転送経路内に前記光発生電荷に対する電位障壁が形成されていることを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

10 【請求項7】 前記第1のウエル領域と前記第2のウエル領域は相互に接続し、かつ前記第1のウエル領域の不純物濃度を前記第2のウエル領域の不純物濃度よりも高くすることにより前記電荷転送経路内に前記光発生電荷に対する電位障壁が形成されていることを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

【請求項8】 前記電荷転送経路のうち前記第1のウエル領域と前記第2のウエル領域とを接続する領域の前記光発生電荷に対する電位障壁を制御する手段を有することを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

20 【請求項9】 前記第1のウエル領域と前記第2のウエル領域とを接続する領域は前記反対導電型層であり、前記光発生電荷に対する電位障壁を制御する手段は、前記第1のウエル領域の表層に形成された反対導電型領域の縁部から前記第1のウエル領域の端部領域、前記反対導電型層及び前記第2のウエル領域の端部領域を経て前記ドレイン領域の縁部に至る経路上にゲート絶縁膜を介して設けられたトランスファゲートであることを特徴とする請求項8記載の固体撮像装置。

30 【請求項10】 前記電荷転送経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記第2のウエル領域に至る経路の表層に一導電型領域が形成されていることを特徴とする請求項9記載の固体撮像装置。

【請求項11】 前記電荷転送経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記第2のウエル領域に至る経路の表層に反対導電型領域が形成されていることを特徴とする請求項9記載の固体撮像装置。

40 【請求項12】 請求項1乃至11の固体撮像装置の構成を1つの要素とし、該要素が前記基板上に複数配列されてなることを特徴とする固体撮像装置。

【請求項13】 隣接する複数の前記要素の各電荷排出経路とともに、各々の前記第1のウエル領域から延びて一方所で前記基板と接続され、かつ前記各電荷排出経路において前記光発生電荷に対する電位障壁を制御する手段を有することを特徴とする請求項12記載の固体撮像装置。

50 【請求項14】 前記複数の要素は列と行に配列されていることを特徴とする請求項12又は13の何れか一に

(3)

3

記載の固体撮像装置。

【請求項15】 前記固体撮像装置は、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、

前記絶縁ゲート型電界効果トランジスタのソース領域の電圧を記憶し、さらに前記ソース領域の電圧に対応した光信号を出力する信号出力回路と、前記光信号を読み出すタイミングを制御する走査信号を供給する水平走査信号入力走査回路とを有することを特徴とする請求項13記載の固体撮像装置。

【請求項16】 請求項14記載の固体撮像装置を用いて、前記光発生電荷に基づく光信号を読み出し、映像信号として出力する固体撮像装置の駆動方法であって、

(a) すべての前記画素について、前記受光領域内の残留電荷に対して前記電荷排出経路の電位障壁を低くし、及び前記光発生電荷の蓄積領域内の残留電荷に対して前記蓄積領域から前記基板に至る経路の電位障壁を低くして、少なくとも前記受光領域内及び前記光発生電荷の蓄積領域内の残留電荷を前記基板に排し出し、

(b) 次に、前記すべての画素について、前記受光領域内の光発生電荷に対して前記電荷転送経路と前記電荷排出経路とに電位障壁を形成して、前記受光領域に光照射により前記光発生電荷を発生させ、蓄積し、

(c) 次に、前記受光領域内の光発生電荷に対して前記電荷排出経路に電位障壁を形成するとともに前記電荷転送経路の電位障壁を低くして、前記光発生電荷を前記電荷転送経路を通して前記蓄積領域に転送して蓄積し、

(d) 次に、前記光発生電荷に対応する光信号を読み出しのために選択された前記行に並ぶ画素のすべてについて、前記受光領域内の光発生電荷に対して前記電荷転送経路に電位障壁を形成するとともに前記電荷排出経路の電位障壁を低くして、前記光発生電荷の蓄積量に対応する閾値電圧の変化を読み出すとともに、前記受光領域で発生する光発生電荷を前記受光領域から前記電荷排出経路を通して前記基板に排出し、一方、前記選択された行以外の他の前記行の画素のすべてについて、前記蓄積領域の光発生電荷に対して前記光発生電荷の蓄積領域から前記基板に至る経路に電位障壁を形成して前記蓄積領域に前記光発生電荷を蓄積しておくとともに、前記受光領域で発生する光発生電荷に対して前記電荷転送経路に電位障壁を形成し、かつ前記電荷排出経路の電位障壁を低くして前記受光領域で発生する光発生電荷を前記電荷排出経路を経て前記基板に排出し、

(e) 前記(d)の動作を繰り返して、前記画素に取り込まれた光信号を前記すべての行について順次読み出すことを特徴とする固体撮像装置の駆動方法。

【請求項17】 前記 (e)の動作の前であって、前記

4

(d)における前記光発生電荷の蓄積量に対応する閾値電圧の変化を読み出す動作の後に、前記行に並ぶ画素のすべてについて、

(d1) 前記光発生電荷の蓄積領域に蓄積された光発生電荷を排出し、

(d2) 次に、前記光発生電荷の蓄積領域から前記光発生電荷を排出した状態で閾値電圧の変化を読み出し、

(d3) 次に、前記光発生電荷の蓄積量に対応する閾値電圧の変化と、前記光発生電荷の蓄積領域から前記光発生電荷を排出した状態で閾値電圧の変化との差の信号を読み出すことを特徴とする請求項16記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置及びその駆動方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式のMOS型イメージセンサを用いた固体撮像装置及びその駆動方法に関する。

【0002】

【従来の技術】CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、バタンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】このような世の中の流れに鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。そのMOS型イメージセンサは特許の図8に示す構造を有している。その構造においては、図8に示すように、単位画素は受光ダイオードと受光ダイオードに隣接する光信号検出用MOSトランジスタとから構成される。受光ダイオードと光信号検出用MOSトランジスタとはp型のウェル領域によって繋がっている。光信号検出用MOSトランジスタにおいては、ゲート電極がリング状を有し、中央部にn型のソース領域が形成され、ゲート電極の外周を囲むようにn型のドレイン領域が形成されている。ゲート電極下方、ソース領域の近傍のウェル領域内にソース領域を囲むようにp型のホールポケットが設けられている。

【0004】ところで、CCDセンサはメカニカルシャッタ無しで全面同時シャッタを切って受光ダイオードにより映像信号を受光した後、その映像信号を転送路に送

50

(4)

5

み出し、その後転送路に読み出した信号を外部に読み出すことにより静止した至のない映像信号を取り出すことができる。これに対して、上記MOS型イメージセンサではフォーカルブレン型シャッタで受光ダイオードにより画像を取り込む。そして、一連の繰り返し動作により光電変換された映像信号を取り出す。例えば、初期化期間に各電極に高い電圧を印加して空乏化させ、ホールポケットに残る光発生正孔を放出させる。蓄積期間に受光ダイオード部に光照射により光発生正孔を生じさせ、ホールポケットに転送させて蓄積させ、読出期間に光発生正孔の蓄積量に比例して変調された光信号検出用電界効果トランジスタの閾値を検出することにより光信号を検出する。

【0005】

【発明が解決しようとする課題】しかしながら、上記画像取り込み方式では、高速移動物体を撮影する場合、またより多要素を有するイメージセンサで撮影する場合、読み始めと読み終わりの時間差のため、画像に歪が生じるという問題がある。本発明は、上記従来技術の問題点に鑑みて創作されたものであり、受光面全面で、かつ同時に光信号による映像を取り込んで、その光信号を電気信号に変換して映像信号として外部に取り出すことができるMOS型イメージセンサ及びその駆動方法を提供するものである。

【0006】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置に係り、その固体撮像装置の基本構成として、基板上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオードと、前記光発生電荷の蓄積領域を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、前記基板上に形成された光信号検出用絶縁ゲート型電界効果トランジスタと、前記受光領域で発生した光発生電荷を前記蓄積領域に転送する電荷転送経路と、前記受光領域で発生した光発生電荷を前記基板に排出する電荷排出経路と、前記電荷排出経路の前記光発生電荷に対する電位障壁を制御する手段とを有している。

【0007】即ち、図2(a)、図7(a)及び図11(a)に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ(MOSTランジスタ)112とを含む単位画素101を有している。そして、受光ダイオード111はp型の基板111上のn型層32a内に形成されたp型の第1のウエル領域15a、43に形成され、MOSTランジスタ112はp型の基板111上のn型層32b内に形成されたp型の第2のウエル領域15bに形成されている。また、MOSTランジスタ112のチャネル領域の下第2のウエル領域15b内であって、ソース領域16の周辺部に光発生電荷を蓄積する高濃度埋込層(キャリアポケット：光発生電荷の蓄積領域)25が形成されている。

6

域)25が形成されている。

【0008】さらに、図2(a)、図7(a)、図9及び図11(a)に示すように、受光ダイオード111部のp型の第1のウエル領域15a、43の隣にn型層32aを挟んでp型の基板111と繋がっているp型のオーバフロードレイン領域41が設けられている。また、第1のウエル領域15a、43の端部領域の上方からオーバフロードレイン領域41の上方にわたってオーバフロードレインゲート(OFDG：光発生電荷に対する電位障壁を制御する手段)42、42a、42bが絶縁膜18aを介して設けられている。オーバフロードレインゲート42、42a、42bの下方面であって、第1のウエル領域15a、43の端部領域の表層及びn型層32aの表層に、受光ダイオード111部のn型の不純物領域17とp型のオーバフロードレイン領域41とをつなぐ低濃度のn型領域又はp型領域(表層領域)17cが形成されている。上記の第1のウエル領域15a、43からn型層32a及びオーバフロードレイン領域41を経てp型の基板111に至る経路が電荷排出経路を構成し、必要の場合オーバフロードレインゲート42、42a、42bにより電荷排出経路の光発生電荷に対する電位障壁が制御される。

【0009】特に、図8、図10に示すように、受光ダイオード111部のウエル領域15aが行と列に揃って並ぶように保持しつつ、かつ、列方向(或いは行方向)や斜め方向で隣接する第1のウエル領域15aに対して共通のオーバフロードレイン領域41が設けられている。オーバフロードレインゲート42a、42bはオーバフロードレイン領域41の上方を通り、隣接する相互の第1のウエル領域15aを横渡するように設けられている。

【0010】上記の構成において、キャリアポケット25への光発生電荷の流れを制御するため、受光領域からキャリアポケット25に至る電荷転送経路で光発生電荷に対する電位障壁を制御することができるように、以下のような特徴を有している。第1に、図2(a)に示すように、電荷転送経路において、第1及び第2のウエル領域15aと15bとは低濃度のp型領域15cを介して繋がっていることを特徴としている。

【0011】第2に、図7(a)に示すように、受光ダイオード111部の第1のウエル領域43はMOSTランジスタ112部の第2のウエル領域15bよりもp型の不純物濃度が高くなっていることを特徴としている。第3に、図11(a)に示すように、第1及び第2のウエル領域15a、15b同士はn型層32aを挟んで配置されており、トランスファゲート44は第1のウエル領域15aの端部領域の上方からn型層32aの上方を経て第2のウエル領域15bの端部領域の上方にわたって設けられている。トランスファゲート44の下でn型層32aの表層に低濃度のp型領域(表層領域)17d

(5)

7

が形成されている。場合により、p型領域17dを設けず、n型層32aが表面に露出しているもよい。

【0012】次に、上記構造の固体撮像装置、特に光発生電荷としてホール（正孔）を用いた場合において、本発明の固体撮像装置の駆動方法を説明する。まず、初期化動作を行なう。初期化動作では、全画素について少なくとも受光領域及びキャリアポケット25から光発生電荷を排出する動作を行なわせる。即ち、受光領域内の残留電荷に対して電荷排出経路の電位障壁を低くし、及びキャリアポケット25内の残留電荷に対してキャリアポケット25から基板11に至る経路の電位障壁を低くして、受光領域及びキャリアポケット25内の残留電荷を掃き出す。

【0013】次いで、蓄積動作に移る。蓄積動作では、全画素において光発生電荷を蓄積する動作を行なわせる。即ち、受光領域内の光発生電荷に対して電荷転送経路と電荷排出経路とに電位障壁を形成して、受光面全面で、かつ同時に映像に基づく光信号を取り込む。これにより、受光領域で光発生電荷を発生させ、かつ受光領域に光発生電荷を蓄積する。次いで、受光領域内の光発生電荷に対して電荷排出経路に電位障壁を形成するとともに電荷転送経路の電位障壁を低くして、光発生電荷をキャリアポケット25に転送する。

【0014】次いで、読出し動作に移る。読出し動作では、一行ずつ、光電変換された光信号を読み出す。このため、光発生電荷に基づく光信号読み出しのために選択された行に並ぶ画素のすべてについて、光発生電荷に対応する光信号読み出しのために選択された行に並ぶ画素のすべてについて、受光領域内の光発生電荷に対して電荷転送経路に電位障壁を形成するとともに電荷排出経路の電位障壁を低くして、光発生電荷の蓄積量に対応する閾値電圧の変化を読み出す。このとき、受光領域で引き続き受光している場合に受光領域で発生する光発生電荷は受光領域から電荷排出経路を通して基板11に排出される。一方、選択されない行（非選択行）の画素のすべてについて、キャリアポケット25の光発生電荷に対してキャリアポケット25から基板11に至る経路に電位障壁を形成してキャリアポケット25に光発生電荷を蓄積しておくとともに、受光領域で発生する光発生電荷に対して電荷転送経路に電位障壁を形成し、かつ電荷排出経路の電位障壁を低くして受光領域で発生する光発生電荷を電荷排出経路を経て基板に排出するとともにキャリアポケット25内の光発生電荷が漏洩しないようにする。

【0015】このようにして、光発生電荷に対応する光信号を行毎に順次読み出す。なお、光信号は雑音の原因となる残留キャリアによるノイズ信号成分を含んでいる。ノイズ信号成分を除くための特別な動作を行なってもよい。即ち、図4、図5、図6に示すように、読出し動作においては、選択行の光信号の読出し動作に続く

8

て、非選択行の画素への電位付与状態はそのままだにして、その選択行の画素を上記と同じようにして初期化し、引き続き、初期化した状態で閾値電圧を読み出す。そして、光発生電荷量に対応する閾値電圧と初期化した状態で閾値電圧の差の信号を算出し、正味の光信号成分を映像信号として出力する。

【0016】以下に、上記構成により奏される作用・効果を説明する。この発明の固体撮像装置においては、受光領域で発生した光発生電荷を基板11に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段とを有している。具体的には、電荷排出経路は、受光ダイオード111の第1のウエル領域15aからn型層32a及びオーバーフロードレイン領域41を経て基板11に至る経路である。また、電位障壁を制御する手段は電荷排出経路上に設けられたオーバーフロードレインゲート42である。

【0017】従って、必要なときに、受光領域から基板11に向かう光発生電荷の流れを制御することができる。また、電荷転送経路のうち、受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ部の第2のウエル領域15bとの接続領域に低濃度のp型領域15cが介在している。

【0018】低濃度のp型領域15cは周りの第1及び第2のウエル領域15a、15bに比べて正孔に対する電位が高くなる。この場合、ゲート電極19に印加する電圧とドレイン領域17aに印加する電圧とを相対的に調整することにより、p型領域15cの電位が光発生電荷に対する障壁となるように調整することができる。これにより、必要なときに、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0019】さらに、受光ダイオード111部の第1のウエル領域43はMOSトランジスタ112部の第2のウエル領域15bよりもp型の不純物濃度が高くなっている。p型の不純物濃度が低い方の第2のウエル領域15bはp型の不純物濃度が高い方の第1のウエル領域43よりも光発生電荷に対する電位が高くなる。この場合、ゲート電極19に印加する電圧とドレイン領域17aに印加する電圧とを相対的に調整することにより、その電位差が光発生電荷に対する障壁となるように調整することができる。これにより、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0020】また、第1のウエル領域15aと第2のウエル領域15bとがn型層32aを介して接続され、かつその接続領域上に絶縁膜18bを介してトランサファグート44が設けられる。場合により、トランサファグート44の下でn型層32aの表層に低濃度のp型領域17dが形成されてもよい。トランサファグート44に印加する電圧により、その領域の電位が光発生電荷

50

(6)

9

に対する障壁となるように調整することができる。これにより、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0021】この発明の固体撮像装置の駆動方法においては、初期化期間と蓄積期間と読出期間とをこの順に繰り返している。特に、初期化期間と蓄積期間で全面素子について、初期化とキャリアポケット25への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行のキャリアポケット25に蓄積されたキャリアが漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷をキャリアポケット25の方に移動させずに、基板11に排出できるようにすることができる。

【0022】これにより、受光面全面で、かつ同時に光信号による映像を固体撮像装置に取り込んでその光信号を電気信号に変換し、映像信号として固体撮像装置の外部に取り出すことができる。なお、第1及び第2のウェル領域15a、15b等が上記と逆の導電型の場合、即ち高濃度埋込層25がn型の場合、高濃度埋込層25はエレクトロンポケット（キャリアポケット）となり、光発生電子を蓄積することになる。

【0023】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

（第1の実施の形態）図1は、本発明の第1の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図2（a）は、図1の1-1線に沿う断面図である。

【0024】図1及び図2（a）に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。MOSトランジスタ112としてnチャネルディプレッションMOSトランジスタ（以下、単にMOSトランジスタと称する場合もある。）を用いている。単位画素101はほぼ長方形形状を有し、列又は行方向に対して斜めに向いている。単位画素101は一行内では特に分離されていないが、p型のオーバーフロードレイン領域41により行間が分離されている。

【0025】これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウェル領域、即ち第1のウェル領域15aと第2のウェル領域15bに形成され、それらのウェル領域15a、15bは低濃度のp型領域15cを介して互いに接続されている。受光ダイオード111の部分の第1のウェル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112の部分の第2のウェル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

10

【0026】受光ダイオード111の部分では、図2（a）に示すように、p型の基板11上にn型層32aが形成されており、上記した第1のウェル領域15aはこのn型層32a上に形成されている。また、第1のウェル領域15aの表層にn型の不純物領域（反対導電型領域）17が形成されている。MOSトランジスタ112の部分では、図2（a）に示すように、p型の基板11は濃度の高いp型層11aを含み、受光ダイオード111部分よりも厚くなっている。そのp型層11a上にn型層（反対導電型層）32bが形成されており、上記したウェル領域15bはこのn型層32b上に形成されている。ウェル領域15bの上方の半導体基板の表面にはゲート絶縁膜18を介してゲート電極19が形成されている。

【0027】ゲート電極19はリング状を有している。リング状のゲート電極19の外縁に囲まれるようにウェル領域15bの表層にソース領域16が形成されている。リング状のゲート電極19の外縁を囲むように、かつウェル領域15bからn型層32aにわたってそれらの表層にドレイン領域17aが形成されている。受光ダイオード111側ではドレイン領域17aが延在して受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17とドレイン領域17aとは互いに接続した第1及び第2のウェル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。なお、以下で、ドレイン領域という場合、ドレイン領域を示す符号として17aと記していても、不純物領域17を含めた領域を意味することができる。

【0028】ソース領域16とドレイン領域17aとの間の領域がチャネル領域となる。通常の動作電圧において、チャネル領域をディプレッション状態に保持するため、チャネル領域に速度な濃度のn型不純物を導入してn型のチャネルドープ層17bを形成している。そのn型のチャネルドープ層17b下のウェル領域15b内に、ソース領域16を囲むようにキャリアポケット（高濃度埋込層；光発生電荷の蓄積領域）25が形成されている。キャリアポケット25では、キャリアポケット25周辺部の第1及び第2のウェル領域15a、15bに比べてp型の不純物濃度を高くしているため、光発生電荷のうち光発生正孔に対してキャリアポケット25内部のポテンシャルが低くなる。これにより、光発生正孔をこのキャリアポケット25に集めることができる。

【0029】なお、第1及び第2のウェル領域15aと15bの間に介在する低濃度のp型領域（一導電型領域）15cは受光ダイオード111側のドレイン領域17aとチャネルドープ層17bの境界部分に当たる領域に形成されている。第1のウェル領域15aと低濃度のp型領域15cと第2のウェル領域15bとで構成される、受光領域からキャリアポケット25に至る経路が電荷転送経路となる。

50

(7)

11

【0030】さらに、上記のように行間を分離しているp型のオーバフロードレイン領域41の隣に、n型層32aを介して受光ダイオード111部の第1のウエル領域15aが設けられている。オーバフロードレイン領域41は基板11と接続しており、行間を分離するとともに過剰な光発生電荷を基板11に排出する機能を有する。

【0031】第1のウエル領域15aからn型層32a及びオーバフロードレイン領域41を経て基板に至る経路が電荷排出経路となる。さらに、電荷排出経路のうち、第1のウエル領域15aの端部領域の上方からオーバフロードレイン領域41上方にわたってオーバフロードレインゲート42がゲート絶縁膜18aを介して設けられている。オーバフロードレインゲート42下には第1のウエル領域15aの端部領域の表層からn型層32aの表層にわたって低濃度のn型領域(表層領域)17cが形成されている。即ち、n型領域17cはオーバフロードレイン領域41と不純物領域17とをつないでいる。場合により、低濃度のn型領域17cの代わり到低濃度のp型領域を用いてもよい。

【0032】また、上記要素は絶縁膜26により被覆されており、受光ダイオード111の受光窓24以外の領域は絶縁膜26上に形成された金属層(遮光膜)23により遮光されている。次に、図2(b)を参照して、オーバフロードレイン領域からキャリアポケット25に至る表面に平行な平面内であって、一方に沿う価電子帯(E_v)の変化の様子、及びキャリアポケット25から基板11に至る深さ方向に沿う価電子帯(E_v)の変化の様子について説明する。図2(b)は図2(a)のII-II線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。ソース領域16、ドレイン領域17a及び不純物領域17よりわずかに深く、かつ四面の受光領域を中心として、左側のキャリアポケット25に至る経路が電荷転送経路内の価電子帯(E_v)の変化の様子を示し、右側のオーバフロードレイン領域41に至る経路が電荷排出経路内の価電子帯(E_v)の変化の様子を示す。

【0033】受光領域としての第1のウエル領域15aから左側に、電荷転送経路を構成する、不純物領域17下の第1のウエル領域15a、低濃度のp型領域15c、ドレイン領域17a及びチャネル領域17b下の第2のウエル領域15b、キャリアポケット25、ソース領域16下の第2のウエル領域15b、キャリアポケット25、チャネル領域17b及びドレイン領域17a下の第2のウエル領域15bが配置されている。また、第1のウエル領域15aから右側に、電荷排出経路を構成する、不純物領域17下の第1のウエル領域15a、n型層32a、オーバフロードレイン領域41が並んでいる。この場合、どの電極や領域にも電圧を印加していない状態を示している。また、第1及び第2のウエル領域15a

12

と15bにおける価電子帯(E_v)の頂上を基準レベルとしている。

【0034】受光領域とキャリアポケット25の間に、低濃度のp型領域15cにより、及び受光領域とオーバフロードレイン領域41の間に、n型層32aにより、それぞれ基準レベルよりも低いエネルギーレベルの領域が形成されている。このエネルギーレベルの低い領域は光発生正孔に対して障壁となる。また、高濃度のp型のキャリアポケット25では基準レベルよりも高くなっており、光発生ホールが集められ易くなっている。

【0035】ゲート19やオーバフロードレインゲート42その他の領域に加える電圧を調整することにより電位障壁の高低を調整して、キャリアポケット25やオーバフロードレイン領域41への光発生正孔の移動を制御することができる。次に、図3を参照して上記の構造の単位画素を用いたイメージセンサの全体の構成について説明する。図3は、本発明の第1の実施の形態におけるMOS型イメージセンサの回路構成図を示す。

【0036】図3に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素101が列方向及び行方向にマトリクス状に配列されている。また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査回路103が画素領域を挟んでその左右に配置されている。

【0037】垂直走査信号供給線(VSCAN供給線)59a、59b、・・・は垂直走査信号の駆動走査回路102から行毎に一つずつ出ている。各垂直走査信号供給線59a、59b、・・・は、行方向に並ぶ全ての単位画素101内のMOSTランジスタ112のゲート電極19に接続されている。また、ドレイン電圧供給線(VDD供給線)61a、61b、・・・はドレイン電圧(VDD)の駆動走査回路103から行毎に一つずつ出ている。各ドレイン電圧供給線61a、61b、・・・は、行方向に並ぶ全ての単位画素101内の光信号検出用MOSTランジスタ112のドレイン領域17aに接続されている。

【0038】また、垂直出力線60a、60b、・・・が列毎に一つずつ出ている。各垂直出力線60a、60b、・・・は列方向に並ぶ全ての単位画素101内のMOSTランジスタ112のソース領域16にそれぞれ接続されている。また、MOSTランジスタ112のソース領域16は列毎に昇圧電圧供給線73a、73b、・・・を通して昇圧走査回路108と接続している。キャリアポケット25内、第1及び第2のウエル領域15a、15b内に残る電荷を排出するための高電圧を供給する。

【0039】さらに、MOSTランジスタ112のソース領域16は列毎に垂直出力線60a、60b、・・・を通して信号出力回路105と接続している。そして、

50

(8)

13

ソース領域 16 は信号出力回路 105 内の図示しないキャパシタからなる対の第 1 及び第 2 のラインメモリと接続している。第 1 のラインメモリにはキャリアポケット 25 に光発生電荷が蓄積されているときの第 1 のソース電位を記憶させ、かつ第 2 のラインメモリにはキャリアポケット 25 から光発生電荷を排出した後の第 2 のソース電位を記憶させる。そして、図示しない差動増幅器等を通して第 1 及び第 2 のソース電位の差の電圧を光信号として出力する。なお、この実施の形態ではソース領域 16 に定電流源などの能動負荷を接続していない。

【0040】水平走査信号 (HSCAN) 供給線 72 a、72 b は水平走査信号 (HSCAN) 入力走査回路 104 から列毎に一つずつ出ている。各水平走査信号 (HSCAN) 供給線 72 a、72 b は信号出力回路 105 と接続されている。水平走査信号 (HSCAN) 入力走査回路 104 は各水平走査信号 (HSCAN) 供給線 72 a、72 b を通じて信号出力回路 105 内に水平走査信号を供給し、光信号を出力するタイミングを制御する。

【0041】垂直走査信号 (VSCAN) 及び水平走査信号 (HSCAN) により、逐次、各単位画素 101 の MOS トランジスタ 112 を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号 (Vout) が信号出力回路 105 から読み出される。次に、図 4、図 5 及び図 6 に示したごとく、一連の連続した固体撮像素子の光検出動作を簡単に説明する。

【0042】図 4 は、本発明に係る MOS 型イメージセンサを動作させるための各入力信号のタイミングチャートを示す。また、図 5 及び図 6 は、各動作における、受光ダイオード 111、ウエル領域 15 a、15 b、キャリアポケット 25、オーバーフロードレイン領域 41 及びそれらの周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル (Ev) の変化の様子を示す模式図である。

【0043】この場合、光信号検出用 MOS トランジスタ 112 として p 型の第 2 のウエル領域 15 b に形成された n チャネルディプレッション型 MOS トランジスタを用いる。光検出動作は、初期化期間 (掃出期間) - 蓄積期間 - 読出期間 - からなる一連の過程を繰り返し行う。ここでは、都合上、初期化期間から説明を始める。なお、一連の動作の間中、オーバーフロードレイン領域 41 は接地されているとする。

【0044】まず、初期化動作を行なう。初期化動作においては、全画素について、キャリアポケット 25 内、第 1 及び第 2 のウエル領域 15 a、15 b 内に残る電荷を排出する。即ち、図 4 に示すように、全画素についてドレイン領域 17 a (不純物領域 17) の電位 (Vp d) を約 5 V とし、かつゲート電極 19 の電位 (Vg) を凡そ 7 V とする。また、オーバーフロードレインゲート 42 の電位 (Vof d) を接地電位 (電位) とする。ド

14

レイン領域 17 a の電位はチャネル領域を通してソース領域 16 にも及ぶ。

【0045】このとき、ドレイン領域 17 a、ソース領域 16、不純物領域 17 の p n 接合及び基板 11 側の p n 接合に電圧がかかるとともに、ゲート電極 19 に印加した電圧によりチャネル領域 17 b は導通状態を保ち、ソース領域 16 とドレイン領域 17 a に印加した電圧が第 2 のウエル領域 15 b 及びホールポケット 25 にかかる。これにより、基板 11 の上部の領域は空乏化され、このとき発生する高電界により、受光ダイオード 111 部の第 1 のウエル領域 15 a 内の残留正孔は直接に基板 11 に排出されるとともに、キャリアポケット 25 を含む第 2 のウエル領域 15 b から確実に残留正孔が排出される。また、図 5 (b) に示すように、電位の低いオーバーフロードレイン領域 41 を通しても受光ダイオード 111 部のウエル領域 15 a 内の残留正孔が排出される。

【0046】次に、蓄積動作を行なう。この場合も、全画素について、受光領域で光発生正孔を発生させ、それをキャリアポケット 25 に転送し、蓄積させる。全画素について、光信号検出用 MOS トランジスタ 112 のドレイン領域 17 a に電圧、例えば約 0.5 V (Vp d) を印加する。また、ゲート電極 19 にドレイン電位 (Vp d) 及びソース電位 (Vp s) に対してチャネル領域が空乏化せず、十分な電子密度を持って電子が蓄積されるようなゲート電圧 (Vg)、例えば凡そ 2 V 程度を印加する。これにより、チャネル領域には十分な電子密度の電子が蓄積され、ソース領域 16 はドレイン領域 17 a とチャネル領域を通して繋がり、ソース領域 16 にはドレイン領域 17 a の電圧 (Vp d) と同じ電圧 (Vp s) 約 0.5 V が印加される。さらに、オーバーフロードレインゲート 42 に 3 V (Vof d) を印加する。

【0047】蓄積期間において、チャネル領域が空乏化せず、十分な電子密度をもって電子が蓄積されるようなゲート電圧 (Vg)、例えば凡そ 2 V 程度を印加することによりゲート絶縁膜 18 とチャネル領域の界面での界面準位の正孔発生中心は非活性化されて、界面準位からの正孔の放出、即ちリーク電流が抑制される。これにより、光発生電荷以外の正孔のキャリアポケット 25 への蓄積が抑制され、映像画面において所謂白ノイズの発生を防止することができる。

【0048】続いて、全画素の受光面に、かつ同時に受光ダイオード 111 に光を照射する。光照射により電子 - 正孔対 (光発生電荷) を発生させると、図 5 (c) に示すように、受光領域からキャリアポケット 25 に至る経路 (電荷転送経路) 中の p 型領域 15 c の正孔に対する電位障壁、及び受光領域からオーバーフロードレイン領域 41 に至る経路 (電荷排出経路) 中の n 型層 32 a の正孔に対する電位障壁が高いので、光発生正孔は受光ダイオード 111 部に蓄積されることになる。

【0049】次に、図 4、及び図 5 (d)、(e)、

50

(9)

15

(f)に示すように、全画面について、3段階で受光ダイオード111部の光発生正孔をキャリアポケット25に転送し、蓄積する。このため、まず、図5(d)に示すように、全画面について、光信号検出用MOSトランジスタ112のドレイン領域17aの電位(V_{pd})を約0.5Vに、オーバフロードレインゲート42の電位(V_{ofd})を3Vにそれぞれ保持したまま、ゲート電極19の電位(V_g)を接地電位とし、受光部のウエル領域15aに対してキャリアポケット25を有するウエル領域15bの電位を下げる。

【0050】続いて、ゲート電極19、ソース領域16、オーバフロードレインゲート42の電位(V_g、V_{ps}、V_{ofd})を前の状態に保持したまま、ドレイン領域17aの電位(V_{pd})を3Vとして、キャリアポケット25を有する第2のウエル領域15bの電位を受光領域の第1のウエル領域15aに対して相対的にさらに下げる。

【0051】最後に、ゲート電極19の電位(V_g)を前の状態に保持したまま、ドレイン領域17aの電位(V_{pd})を5Vとし、オーバフロードレインゲート42の電位(V_{ofd})を5Vとして、キャリアポケット25を有する第2のウエル領域15bの電位を受光領域の第1のウエル領域15aに対して相対的にさらに下げる。

【0052】次に、読出し動作を行う。この読出し期間において、一行単位で各画面の閾値電圧、即ち光電変換された光信号を読み出して信号出力回路105内の記憶装置に記憶させ、引き続き映像信号として水平出力線71に出力させる。まず、第1行目の全画面について、VSCAN駆動走査回路102から選択行のゲート電極19への出力線59aに約2Vを出力する。非選択行のゲート電極19への出力線59bに接地電位を出力する。一方、選択行及び非選択行ともにVDD駆動走査線61aを凡そ3V(MOSTランジスタ112のドレイン電位となる)に保つ。また、オーバフロードレインゲート42は選択行及び非選択行ともに接地電位とする。

【0053】このとき、選択行の画面内のキャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。MOSTランジスタ112のドレイン電圧—電流特性は飽和特性を示す。これにより、第1のラインメモリが充電されていき、充電が完了したところで、第1のラインメモリに光変調された閾値電圧(ソース電位V_{outS})が記憶される。また、図6(g)の実線を示すように、オーバフロードレインゲート42の電位が低いので、電荷排出経路中に光発生正孔に対する障壁が存在していない。このため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0054】一方、非選択行の画面では、図6(g)の

16

点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読出し動作中に漏洩しない。また、オーバフロードレインゲート42の電位が低いので、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0055】上記のように、読み出した閾値電圧には光発生正孔のみによる電圧の他に光発生正孔によらない電荷に起因した電圧(即ち雑音電圧(V_{outN})と称する。)も含んでいる。光信号からこの雑音電圧を除くため、読出し動作を行なった選択行について、引き続き、雑音電圧(V_{outN})のみを読み出す動作を行う。即ち、VSCAN駆動走査回路102から選択行のゲート電極19への出力線59aに約7Vを出力する。非選択行のゲート電極19への出力線59bは接地電位に保持する。また、選択行及び非選択行ともにVDD駆動走査線61aを凡そ5Vに保つ。また、オーバフロードレインゲート42は選択行及び非選択行ともに接地電位のまま保持する。これにより、図6(h)の実線で示すようにエネルギーレベルが変化し、選択行の画面では、図5(b)で示す初期化動作と同様に、半導体内から残留電荷が排出される。

【0056】一方、非選択行の画面では、図6(h)の点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読出し動作中に漏洩しない。また、オーバフロードレインゲート42の電位が低いので、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0057】次いで、選択行の画面で、図6(g)のときと同様に、図6(i)の実線で示すようにエネルギーレベルを変化させて、MOSTランジスタ112を動作させる。これにより、第2のラインメモリが充電されていき、充電が完了したところで、キャリアポケット25に光発生正孔が蓄積されていない状態での閾値電圧(ソース電位V_{outN})が第2のラインメモリに記憶される。一方、非選択行では、図6(g)のときと同様に、図6(i)の点線で示すようにエネルギーレベルを変化させて、キャリアポケット25に蓄積されている光発生正孔が選択行の読出し動作中に漏洩しないようにする。

【0058】その後、図6(j)の実線で示すようにエネルギーレベルを変化させて、ソース電位V_{outS}、V_{outN}の差の電圧を出力する動作を行う。このようにして、光照射量に比例した映像信号(V_{out}=V_{outS}-V_{outN})を取り出すことができる。その後、図6(g)乃至図6(j)の動作を繰り返して、一行毎に読み出し動作を行う。その間、いまだ読み出しを行っていない非選択行ではキャリアポケット25に光発生正孔が蓄積された

50

(10)

17

ままの状態が保持される。

【0059】このようにしてすべての行の画素から光電変換された光信号を読み出すことで一つの映像を画面に映し出すことができる。以上のように、この発明の第1の実施の形態である固体撮像装置の駆動方法においては、初期化期間と蓄積期間と読出期間とをこの順に繰り返す。特に、初期化期間と蓄積期間で全面素子について、初期化とキャリアポケット25への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路のポテンシャルと、電荷排出経路のポテンシャルとを制御して非選択行のキャリアポケット25に蓄積された光発生電荷が漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷がキャリアポケット25の方に移動せずに、オーバーフロードレイン領域41から排出できるようにすることができる。

【0060】これにより、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。さらに、電荷発生領域及び電荷転送領域が埋め込み構造を有するので、蓄積動作と読出し動作と初期化動作（掃出動作）の一連の過程において、光発生正孔が移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。

【0061】（第2の実施の形態）図7（a）は第2の実施の形態である固体撮像素子の断面図である。図7

（b）は図7（a）のIII-III線に沿う価電子帯の頂上のエネルギーレベル（E_v）の変化の様子を示す図である。図7（a）において、図2（a）と異なるところは、第1のウエル領域15aと第2のウエル領域15bの間に低濃度のp型領域を設けず、第1のウエル領域15aのp型の不純物濃度を第2のウエル領域15bのp型の不純物濃度よりも高くしている点である。なお、図中、他の符号は図2（a）と同じ符号で示すものは図2（a）と同じものを示すので、説明を省略する。

【0062】これにより、図7（b）に示すように、電荷転送経路内で第1のウエル領域15aと第2のウエル領域15bとの境界に、受光領域からキャリアポケット25に向かう光発生正孔に対してエネルギーレベルが低くなるような、即ち電位が高くなるような正孔に対する電位壁を形成することができる。従って、図5（c）に示す光発生正孔の蓄積動作において、キャリアポケット25及びオーバーフロードレイン領域41への光発生正孔の移動を阻止して受光領域に光発生正孔を蓄積させることが可能である。

【0063】これにより、第1の実施の形態と同様に、初期化動作と、蓄積動作と、読出し動作からなる一連の動作を繰り返して、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を

18

電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。

（第3の実施の形態）図8は、第3の実施の形態であるMO S型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図9は、図8のIV-V線に沿う断面図である。

【0064】第3の実施の形態において、第1の実施の形態と異なるところは、図8に示すように、受光ダイオード111部の第1のウエル領域15aが行と列に描って並ぶように保持しつつ、かつ、列方向（或いは行方向）で隣接する受光ダイオード111部の第1のウエル領域15a同士を接近させて設け、それらの第1のウエル領域15a同士に共通のオーバーフロードレイン領域41が設けられている点である。また、オーバーフロードレインゲート（OFDG）42aはオーバーフロードレイン領域41の上方を通り、隣接する相互のウエル領域15aを橋渡しするようにゲート絶縁膜18aを介して設けられている点である。

【0065】図9に示すように、オーバーフロードレインゲート42aの下方の構成は、図2（a）のオーバーフロードレインゲート42の下方における、オーバーフロードレイン領域41から受光ダイオード111の不純物領域17に至る構成と同じ構成で、四角形状のオーバーフロードレイン領域41を中心として2方向で2つ組合わせていることを特徴としている。

【0066】また、図8に示すように、単位画素がほぼ長方形形状を有し、受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ112のゲート電極19の並びの方向が列方向又は行方向に対して斜め方向に向いていることは第1の実施の形態と同じである。一方、上記の条件を満たすため、単位画素中の受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ112のゲート電極19の並びの向きが隣接する画素で逆になっている点が第1の実施の形態と異なっている。

【0067】なお、図中、他の符号は図2（a）と同じ符号で示すものは図2（a）と同じものを示すので、説明を省略する。上記第3の実施の形態においては、受光ダイオード111部の第1のウエル領域15aが行と列に描って並ぶように保持しつつ、かつ、列方向（或いは行方向）で隣接する受光ダイオード111部の第1のウエル領域15a同士を接近させて設け、それらの第1のウエル領域15a同士に共通のオーバーフロードレイン領域41が設けられている。

【0068】これにより、第1の実施の形態と異なり、特に第1のウエル領域15a相互を接続する、拡散分離領域としても機能する帯状のオーバーフロードレイン領域41を行間にもわたって設ける必要がなくなる。他の構成は第1の実施の形態と同様なので、第2の実施の形態においても、第1の実施の形態と同様な作用・効果を奏す

(11)

19

ることができる。

【0069】(第4の実施の形態) 図10は、第4の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図11(a)は図10のV-V'線に沿う断面図である。図11(b)は図11(a)のVI-VI'線に沿う価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す図である。第4の実施の形態において、受光ダイオード111部の第1のウェル領域15aが行と列に揃って並ぶように保持しつつ、かつ、隣接する受光ダイオード111部の第1のウェル領域15a同士を接近させて設け、それらの第1のウェル領域15a同士に共通のオーバーフロードレイン領域41が設けられている点は第3の実施の形態と同じである。

【0070】一方、第4の実施の形態において、第3の実施の形態と異なるところは、図11(a)に示すように、チャネル領域17bに隣接する受光ダイオード111側のドレイン領域17aと受光ダイオード111部の不純物領域17との境界部分には、絶縁膜18bを介してトランスファゲート(TG)44が設けられている点である。この場合、第1及び第2のウェル領域15a、15b同士はトランスファゲート44の下でn型層32aを挟んで配置されており、トランスファゲート44は第1のウェル領域15aの端部領域の上方から第2のウェル領域15bの端部領域の上方にわたって設けられている。第1及び第2のウェル領域15aと15bとは、トランスファゲート44の下でn型層32aの表層に形成された低濃度のp型領域(表層領域)17dにより繋がっている。

【0071】第4の実施の形態における他の構成で、第3の実施の形態と異なるところは、オーバーフロードレイン領域41を共通にする画素は、列方向又は行方向に対して斜め方向に配置しているものも同点である点である。また、第1のウェル領域15aが丸形状を有している点である。なお、図中、他の符号は図2(a)と同じ符号で示すものは図2(a)と同じものを示すので、説明を省略する。

【0072】また、上記では、第1及び第2のウェル領域15aと15bとは、トランスファゲート44の下でn型層32aの表層に形成された低濃度のp型領域17dにより繋がっているが、図12に示すように、第1のウェル領域15aと第2のウェル領域15bとは、n型層32aを挟むように形成されてもよい。以上のように、この発明の第4の実施の形態においては、電荷転送経路内で第1のウェル領域15aと第2のウェル領域15bとの接続領域上には、絶縁膜18bを介してトランスファゲート44が設けられている。

【0073】従って、トランスファゲート44に印加する電圧により、その接続領域のポテンシャルが光発生電荷に対する障壁となるように調整することができる。こ

20

れにより、必要ときに、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。次に、図13乃至図15を参照して図11に示す構成のMOS型イメージセンサの駆動方法について説明する。図12に示すトランスファゲート44の周辺部の構成を有するMOS型イメージセンサについても同様に適用することができる。

【0074】図13は、図11に示すMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。また、図14及び図15は、各動作における、受光ダイオード111、ウェル領域15a、15b、キャリアポケット25、オーバーフロードレイン領域41及びそれらの周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図である。

【0075】この場合、光信号検出用MOSトランジスタ112としてp型の第2のウェル領域15bに形成されたnチャネルディプレッション型MOSトランジスタを用いる。次に、図13、図14及び図15にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、初期化期間(掃出期間)―蓄積期間―読出期間―からなる一連の過程を繰り返し行う。ここでは、都合上、初期化期間から説明を始める。なお、一連の動作の間中、オーバーフロードレイン領域41は接地されているとする。

【0076】まず、初期化動作を行なう。初期化動作においては、図14(a)乃至(d)の動作を経て、全画素について、キャリアポケット25内、第1及び第2のウェル領域15a、15b内に残る電荷を排出する。図14(a)に示すように、受光領域内の残留電荷をキャリアポケット25に転送する。即ち、図13に示すように、ドレイン領域17a(不純物領域17)の電位(V_{p d})を約3Vとし、カゲゲート電極19の電位(V_g)を凡そ0Vとし、トランスファゲート(TG)44の電位(V_{t g})を凡そ0Vとし、オーバーフロードレインゲート42の電位(V_{o f d g})を凡そ3Vとする。

【0077】次いで、図14(b)に示すように、電荷転送経路内の残留電荷をキャリアポケット25に転送する。即ち、図13に示すように、ドレイン領域17a(不純物領域17)の電位(V_{p d})、ゲート電極19の電位(V_g)及びオーバーフロードレインゲート42の電位(V_{o f d g})を前の状態に保持したまま、トランスファゲート(TG)44の電位を凡そ3Vとする。

【0078】続いて、図14(c)に示すように、オーバーフロードレイン領域41の電位(V_{o f d g})を下げる。次いで、図14(d)に示すように、キャリアポケット25内、第1及び第2のウェル領域15a、15b内に残る電荷を排出する。即ち、図13に示すように、全画素についてドレイン領域17a(不純物領域17)の電位(V_{p d})を約6Vとし、カゲゲート電極19の電位

50

(12)

21

(Vg)を凡そ8Vとする。また、トランスファゲート(TG)44の電位(Vtg)を凡そ8Vとする。さらに、オーパフロードレインゲート42の電位(Vofd)を接地電位(零電位)とする。ドレイン領域17aの電位(Vpd)はチャネル領域を通してソース領域16にも及ぶ。

【0079】このとき、ドレイン領域17a、ソース領域16、不純物領域17pのn接合及び基板11側のpn接合に電圧がかかるとともに、ゲート電極19に印加した電圧(Vg)は第2のウエル領域15b及び第2のウエル領域15bの下n型層32bにかかる。これにより、基板11の上部の領域は空乏化され、このとき発生する高電界により、受光ダイオード111部の第1のウエル領域15a内の残留正孔は直接に基板11に排出されるとともに、キャリアポケット25を含む第2のウエル領域15bから確実に残留正孔が排出される。また、図14(d)に示すように、電位の低いオーパフロードレイン領域41を通して受光領域の第1のウエル領域15a内の残留正孔が排出される。

【0080】次に、蓄積動作を行なう。蓄積動作は、図14(e)及び(f)、図15(a)及び(b)に示すように、全面素子について、受光領域で光発生正孔を発生させ、それをキャリアポケット25に転送し、蓄積させる。光信号検出用MOSトランジスタ112のドレイン領域17aに電圧(Vpd)、例えば約1Vを印加する。また、ゲート電極19にドレイン電位(Vpd)及びソース電位(Vps)に対してチャネル領域が空乏化せず、十分な電子密度を持って電子が蓄積されるようなゲート電圧(Vg)、例えば凡そ2V程度を印加する。これにより、チャネル領域には十分な電子密度の電子が蓄積され、ソース領域16はドレイン領域17aとチャネル領域を通して繋がりを、ソース領域16にはドレイン領域17aの電圧(Vpd)と同じ電圧(Vps)約1Vが印加される。さらに、オーパフロードレインゲート42に3V(Vofd)を印加する。

【0081】続いて、全面素子の受光面に、かつ同時に受光ダイオード111に光を照射する。光照射により電子-正孔対(光発生電荷)を発生させると、図14(e)に示すように、受光領域からオーパフロードレイン領域41に至る経路(電荷排出経路)中のn型層32aの正孔に対する電位障壁が高いので、光発生正孔は受光ダイオード111部に蓄積されることになる。なお、受光領域からキャリアポケット25に至る経路(電荷転送経路)中のn型層32bの正孔に対する電位障壁が多少低くなっているため、一部は、キャリアポケット25に転送され始めるものもある。

【0082】次に、図14(f)、及び図15(a)に示すように、全面素子について、2段階で受光ダイオード111部の光発生正孔をキャリアポケット25に転送し、蓄積する。このため、まず、図13に示すように、

22

全面素子について、また、トランスファゲート44の電位(Vtg)を接地電位に、かつ、オーパフロードレインゲート42の電位(Vofd)を3Vにそれぞれ保持したまま、光信号検出用MOSトランジスタ112のドレイン領域17aの電位(Vpd)を約3Vに高めるとともに、ゲート電極19の電位(Vg)を接地電位とし、受光領域の第1のウエル領域15aに対してキャリアポケット25を有する第2のウエル領域15bの電位を下げる。これにより、受光領域の発生電荷を受光領域から電荷転送領域を経てキャリアポケット25に向かわせる電位分布が形成され、光発生正孔がキャリアポケット25の方に導かれる。

【0083】続いて、ドレイン領域17aの電位(Vpd)、ゲート電極19の電位(Vg)、ソース領域16の電位(Vps)、オーパフロードレインゲート42の電位(Vofd)を前の状態に保持したまま、トランスファゲート44の電位(Vtg)を3Vに高めて、電荷転送経路途中の光発生正孔をキャリアポケット25に向かわせる電界をさらに強める。

【0084】最後に、図13に示すように、ドレイン領域17aの電位(Vpd)、ゲート電極19の電位(Vg)、トランスファゲート44の電位(Vtg)、ソース領域16の電位(Vps)を前の状態に保持したまま、オーパフロードレインゲート42の電位(Vofd)を接地電位とする。図15(b)に示すように、受光領域に残留する光発生電荷はオーパフロードレイン領域41を経て基板11側に排出される。

【0085】次いで、電荷転送後、図13に示すように、トランスファゲート44の電位(Vtg)、ソース領域16の電位(Vps)、オーパフロードレインゲート42の電位(Vofd)を前の状態に保持したまま、ドレイン領域17aの電位(Vpd)を凡そ1Vとし、ゲート電極19の電位(Vg)を約2Vとする。次に、読出し動作を行なう。この読出し期間において、一行単位で各画素の閾値電圧、即ち光電変換された光信号を読み出して信号出力回路105内の記憶装置に記憶させ、引き続き映像信号として水平出力線71に出力させる。

【0086】まず、図13に示すように、全面素子について、トランスファゲート44の電位(Vtg)及びオーパフロードレインゲート42の電位(Vofd)を前の状態に保持したまま、ドレイン領域17aの電位(Vpd)を3Vとする。さらに、選択された第1行目(選択行)の全面素子について、ゲート電極19の電位(Vg)を約2Vに保持するとともに、非選択行のゲート電極19の電位(Vg)を接地電位とする。

【0087】このとき、選択行の画素内のキャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。MOSトランジスタ112のドレイン電圧-電流特性は飽和特性を示す。これにより、第1のライ

(13)

23

ンメモリが充電されていき、充電が完了したところで、第1のラインメモリに光変調された閾値電圧（ソース電位 V_{outS} ）が記憶される。また、図15（d）の実線で示すように、オーバフロードレインゲート42の電位が低いため、電荷排出経路中に光発生正孔に対する障壁が存在していない。このため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0088】一方、非選択行の画素では、図15（d）の点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読み出し動作中に漏洩している。また、オーバフロードレインゲート42の電位が低いため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0089】その後、図15（e）の実線で示すようにエネルギーレベルを変化させて、ソース電圧（ V_{outS} ）を出力する動作を行う。このようにして、光照射量に比例した映像信号（ $V_{out} = V_{outS}$ ）を取り出すことができる。その後、図15（d）乃至図15（e）の動作を繰り返して、一行毎に読み出し動作を行なう。その間、いまだ読み出しを行っていない非選択行ではキャリアポケット25に光発生正孔が蓄積されたままの状態が保持される。

【0090】このようにしてすべての行の画素から光電変換された光信号を読み出すことで一つの映像を画面に映し出すことができる。なお、上記では、第1の実施の形態と異なり、光信号（ V_{outS} ）から雑音電圧（ V_{outN} ）を除く動作を行っていないが、必要な場合、第1の実施の形態と同じように、図15（d）に示す光発生正孔による光信号を読み出す動作の後に、キャリアポケット25を初期化する動作と初期化した状態でのソース電位、即ち雑音電圧のみを読み出す動作を行なう。そして、図15（e）に示すラインメモリから光信号を読み出す動作のときに、ソース電位 V_{outS} 、 V_{outN} の差の電圧を出力する動作を行う。このようにして、光照射量に比例した映像信号（ $V_{out} = V_{outS} - V_{outN}$ ）を取り出すことができる。

【0091】以上のように、上記第4の実施の形態においても、第1の実施の形態と同様に、初期化期間と蓄積期間と読み出し期間とをこの順に繰り返している。特に、初期化期間と蓄積期間で全面素子について、初期化とキャリアポケット25への蓄積とを行ない、読み出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行のキャリアポケット25に蓄積されたキャリアが漏洩しないようにするとともに、読み出し動作中に受光領域で発生した光発生電荷がキャリアポケット25の方に移動せずに、オーバフロードレイン領域41を通して基板11

24

1に排出できるようにすることができる。

【0092】これにより、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。また、第4の実施の形態の他の構成については、第1の実施の形態と同様であるので、第4の実施の形態においても、第1の実施の形態と同様な作用・効果を奏することができる。

【0093】（第5の実施の形態）図16は、第5の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。第5の実施の形態において、トランジスタゲート44a及びオーバフロードレイン領域41が設けられている点は第4の実施の形態と同じであるが、オーバフロードレイン領域41が画素毎に設けられている点が、第4の実施の形態と異なる。

【0094】なお、図中、符号42Cは、第1のウェル領域15aの端部領域からオーバフロードレイン領域41上にわたって設けられたオーバフロードレインゲートであり、17Cはオーバフロードレインゲート42cの下、第1のウェル領域15aの端部領域からオーバフロードレイン領域41に至る領域の表層に設けられた低濃度のn型領域又はp型領域である。

【0095】以上のように、第5の実施の形態においては、オーバフロードレイン領域41が画素毎に設けられている点以外、第4の実施の形態と同様な構成を有するので、第5の実施の形態においても、第4の実施の形態と同様な作用・効果を奏することができる。以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0096】例えば、上記の実施の形態では、信号出力回路内でソース領域56に入力キャパシタからなるラインメモリを直結しているが、ラインメモリと並列に定電流源を接続し、ソースフォロワ接続としてもよい。この場合、スイッチトキャパシタ回路を設けなくてもよい。また、p型の基板11上のn型層32a、32b内に第1及び第2のウェル領域15a、15bを形成しているが、n型層32a、32bの代わりに、p型のエピタキシャル層にn型不純物を導入してn型層を形成し、このn型層内に第1及び第2のウェル領域15a、15bを形成してもよい。

【0097】さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0098】

50

(14)

25

【発明の効果】以上のように、この発明の固体撮像装置においては、受光領域で発生した光発生電荷を基板に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段とを有している。従って、必要ときに、受光領域から基板に向かう光発生電荷の流れを制御することができる。

【0099】また、受光領域で発生した光発生電荷を光信号検出用MOSトランジスタの蓄積領域に転送する電荷転送経路内にも光発生電荷に対する電位障壁を制御する手段を有している。これにより、必要ときに、受光領域から蓄積領域に向かう光発生電荷の流れを制御することができる。この発明の固体撮像装置の駆動方法においては、初期化動作と蓄積動作と読出し動作とをこの順に繰り返している。特に、初期化動作と蓄積動作において全素子について、初期化と蓄積領域への蓄積とを行ない、読出し動作において、選択行の素子から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行の蓄積領域に蓄積されたキャリアが漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷を蓄積領域の方に移動させずに、基板に排出できるようにすることができる。

【0100】これにより、受光面全面で、かつ同時に光信号による映像を固体撮像装置に取り込んでその光信号を電気信号に変換し、映像信号として固体撮像装置の外部に取り出すことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図2】(a)は、同じく、図1のI-I線に沿う断面図である。(b)は、同図(a)のII-II線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。

【図3】図1のMOS型イメージセンサの全体の回路構成を示す図である。

【図4】本発明の第1の実施の形態に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。

【図5】図4の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバーフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その1)である。

【図6】図4の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバーフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その2)である。

【図7】(a)は、本発明の第2の実施の形態に係るMOS型イメージセンサの単位画素内の素子の構造を示す、図1のI-I線に沿う断面図である。(b)は、同

26

図(a)のIII-III線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。

【図8】本発明の第3の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図9】同じく、図8のIV-IV線に沿う断面図である。

【図10】本発明の第4の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図11】同じく、図10のV-V線に沿う断面図である。

【図12】同じく、トランスファゲート及びその周辺部の他の構成を示す断面図である。

【図13】同じく、図10及び図11に示すMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。

【図14】図13の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバーフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その1)である。

【図15】図13の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバーフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その2)である。

【図16】本発明の第5の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

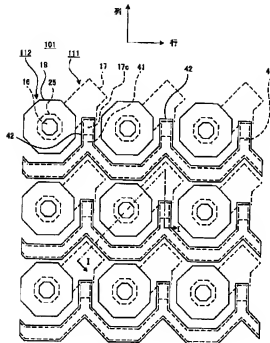
【符号の説明】

- 11, 11a 基板
- 15a, 43 第1のウエル領域
- 15b 第2のウエル領域
- 15c p型領域(一導電型領域)
- 16 ソース領域
- 17 不純物領域(反対導電型領域)
- 17a ドレイン領域
- 17b チャネルドープ層
- 17c, 17d 表層領域
- 18, 18a, 18b ゲート絶縁膜
- 19 ゲート電極
- 25 キャリアポケット(高濃度埋込層; 光発生電荷の蓄積領域)
- 32a, 32b n型層(反対導電型層)
- 41 オーバフロードレイン領域
- 42, 42a, 42b, 42c オーバフロードレインゲート
- 44, 44a トランスファゲート
- 59a, 59b VSCAN供給線
- 60a, 60b 垂直出力線

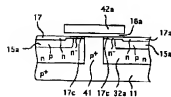
(15)

- 27
 61a、61b VSCAN供給線
 62a、62b VDD供給線
 71 水平出力線
 72a、72b HSCAN供給線
 73a、73b 昇圧電圧供給線
 101 単位画素
 102 VSCAN駆動走査回路
 103 VDD駆動走査回路

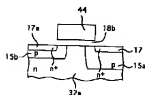
【図1】



【図9】



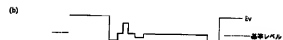
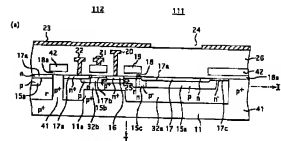
【図12】



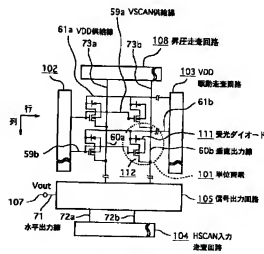
28

- 104 HSCAN入力走査回路
 105 信号出力回路
 107 映像信号出力端子
 108 昇圧走査回路
 111 受光ダイオード
 112 光信号検出用絶縁ゲート型電界効果トランジスタ (光信号検出用MOSトランジスタ)

【図2】



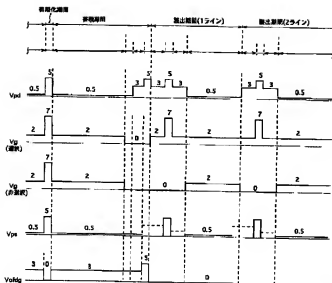
【図3】



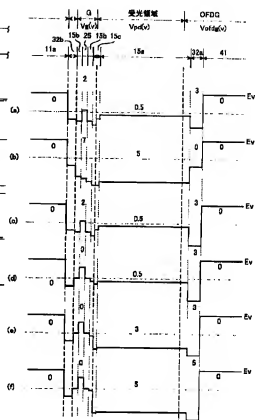
- 72a, 72b: HSCAN供給線
 102: VSCAN駆動走査回路
 107: 映像信号出力端子
 112: 光信号検出用MOSトランジスタ

(16)

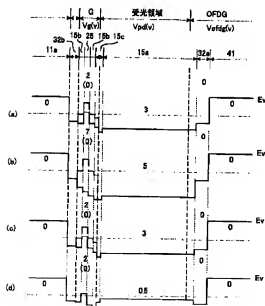
【図4】



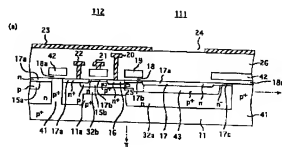
【圖 5】



【圖 6】



【圖 7】



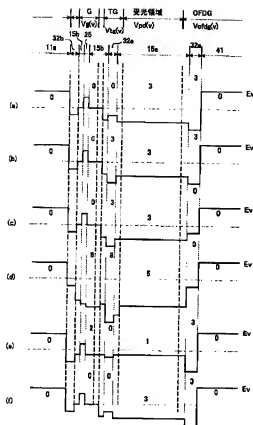
(注) 上図で点線を示すエネルギーレベル(Ev)は、非選択行におけるものである。

(b)

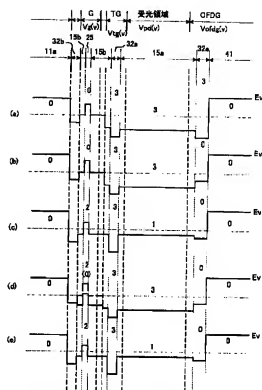


(18)

【図14】

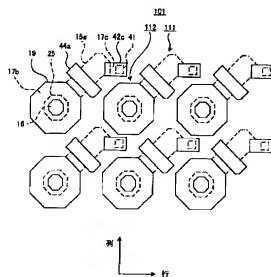


【図15】



(注) 上面で点線を示すエネルギーレベル(Ev)は、非選択行におけるものである。

【図16】



(19)

フロントページの続き

Fターム(参考) 4M118 AA10 AB01 BA14 CA04 CA20
FA06 FA14 FA19 FA34 FA39
FA40 FA42
5C024 AX01 CX11 CX17 CY16 GX03
GX16 GY31 GZ04 HX35 HX40
HX41 HX47 JX21